

УДК 539.12.08

ФОРМИРОВАТЕЛЬ ВРЕМЕННОЙ ОТМЕТКИ С ЦИФРОВОЙ КОРРЕКЦИЕЙ ДЛЯ ДЕТЕКТОРА T0 ЭКСПЕРИМЕНТА ALICE

В. А. Григорьев¹, В. А. Каплин¹, Н. В. Кондратьева^{1*},
А. В. Краштанёнок¹, В. А. Логинов¹, Е. Ф. Макляев¹,
Н. М. Окальева^{2*}, А. В. Сурков³

Временные измерения при регистрации частиц от источников радиоактивного излучения являются одним из основных типов измерений во многих отраслях науки и техники: в ядерной физике, космических исследованиях, ядерной медицине. Разрабатываемый формирователь точной временной отметки DWDC (Discriminator With Digital Correction) с мёртвым временем до 25 нс предназначен для применения в фундаментальных исследованиях материи. Предполагается модернизация системы сбора стартового триггерного детектора T0 с использованием модуля DWDC (эксперимент ALICE).

Ключевые слова: эксперимент ALICE, формирователь временной отметки.

Эксперимент ALICE содержит большое количество детекторов, среди них – стартовый триггерный детектор T0 [1], состоящий из двух T0-C и T0-A сборок черенковских счётчиков по 12 счётчиков в каждой сборке. Стартовый триггерный детектор T0 [2, 3] имеет важное значение для работы всей установки ALICE – T0 запускает всю систему регистрации и последующего анализа любого события. Для обслуживания детектора T0 была создана сложная многоканальная система сбора и обработки информации, имеющая пикосекундное временное разрешение в динамическом диапазоне амплитуд 1:200 и мёртвое время – не более 25 нс. Одним из методов улучшения временного разрешения

¹ Национальный исследовательский ядерный университет “МИФИ”, Россия, 115409, Москва, Каширское ш., 31; * natius@yandex.ru.

² ФИАН, Россия, 119991, Москва, Ленинский пр-т, 53; * okateva@sci.lebedev.ru.

³ Научно-исследовательский институт системных исследований РАН, Россия, 117218, Москва, Нахимовский просп., 36, к. 1.

системы является применение амплитудно-временной коррекции, и временное разрешение не более 50 пс было получено при применении амплитудно-временной коррекции после эксперимента (в режиме off-line).

Точность временных измерений зависит от типа детектора и типа временного формирователя. Наилучшие параметры имеют формирователи со следящим порогом – ФСП. Однако при большом числе измерительных каналов применение этого типа формирователей затруднительно. Разработка нового типа формирователя позволит улучшить времяамплитудную характеристику одновременно при уменьшении размеров прибора, что в ряде применений является решающим фактором. Для того чтобы с ФСП обеспечить “гуляние” временной отметки ± 50 пс в динамическом диапазоне амплитуд 1:200, необходимо сохранение формы импульса с детектора во всем динамическом диапазоне входных амплитуд. Это требование сложно выполнить в динамическом диапазоне 1:200, а в настоящее время в ряде экспериментов требуется динамический диапазон 1:1000. Цифровая коррекция характеристики ФСП позволит расширить динамический диапазон входных амплитуд и одновременно снизить требования к собственно устройству временной отметки, перенеся сложности создания прецизионной аналоговой части формирователя на цифровую часть устройства.

Цифровая коррекция в формирователях позволит помимо уменьшения габаритов и энергопотребления проводить их автоматизированную калибровку и подстройку. Это значительно повысит надежность и упростит детекторные системы.

Применение цифровой коррекции позволяет снизить требование к временному разрешению (разброс задержки во всем диапазоне входных амплитуд) формирователя, что позволяет не только упростить конструкцию ФСП, но и, в ряде случаев, вместо ФСП применять значительно более простой формирователь с постоянным порогом – ФПП, который представляет собой фактически быстрый компаратор. На рис. 1 для разных порогов срабатывания ФПП представлена зависимость изменения задержки выходного импульса формирователя от входной амплитуды, которое достигает почти 2 нс – это длительность фронта ФПП. Цифровая коррекция позволяет устранить эту зависимость и получить характеристики лучше, чем с ФСП.

Таким образом, разрабатываемое устройство – модуль DWDC в стандарте VME – позволит:

- 1) улучшить временное разрешение;
- 2) увеличить динамический диапазон входных амплитуд;
- 3) упростить требования к прецизионной аналоговой части формирователя;

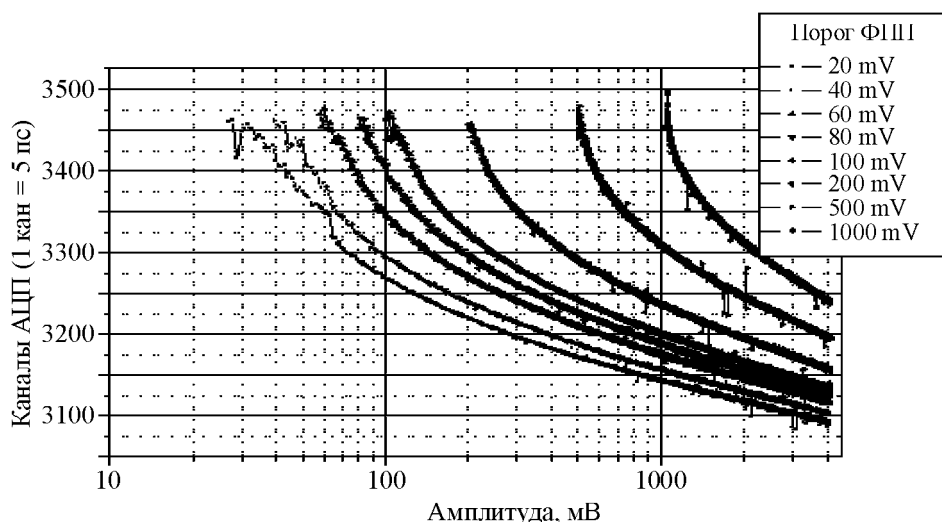


Рис. 1: Зависимость изменения задержки ФПП от входной амплитуды.

4) создать предпосылки для миниатюризации формирователя, вплоть до микросхемного исполнения.

На пути реализации предложенного проекта предлагается модернизация системы сбора данных триггерного детектора T0 эксперимента ALICE. Модуль DWDC предназначен для формирования точной временной отметки и применения в детекторных системах в режиме реального времени.

На рис. 2 представлена функциональная схема формирователя временной отметки с цифровой коррекцией DWDC в стандарте VME.

В предложенной схеме в качестве внутреннего формирователя временной отметки предлагается использовать быстрый компаратор (Comp) ADCMP581 – простейший формирователь с постоянным порогом (ФПП) с порогом регистрации от 4–10 мВ.

Принцип работы формирователя временной отметки с цифровой коррекцией DWDC в стандарте VME состоит в следующем: аналоговый сигнал (Analog Input), пройдя интегрирующую цепочку и операционный усилитель ОУ AD9617, который используется для преобразования входного диапазона уровней от 0 до минус 5 В в динамический диапазон ± 1.75 В, разветвляется и поступает на внутренний компаратор ADCMP581 и скоростной АЦП AD9020. Предусматривается, что входы АЦП и компаратора разделены резистивной цепью, чтобы избежать взаимного влияния микросхем.

Аналоговый сигнал поступает на один из входов компаратора, на втором входе которого устанавливается фиксированный порог, при достижении которого на выходе ком-

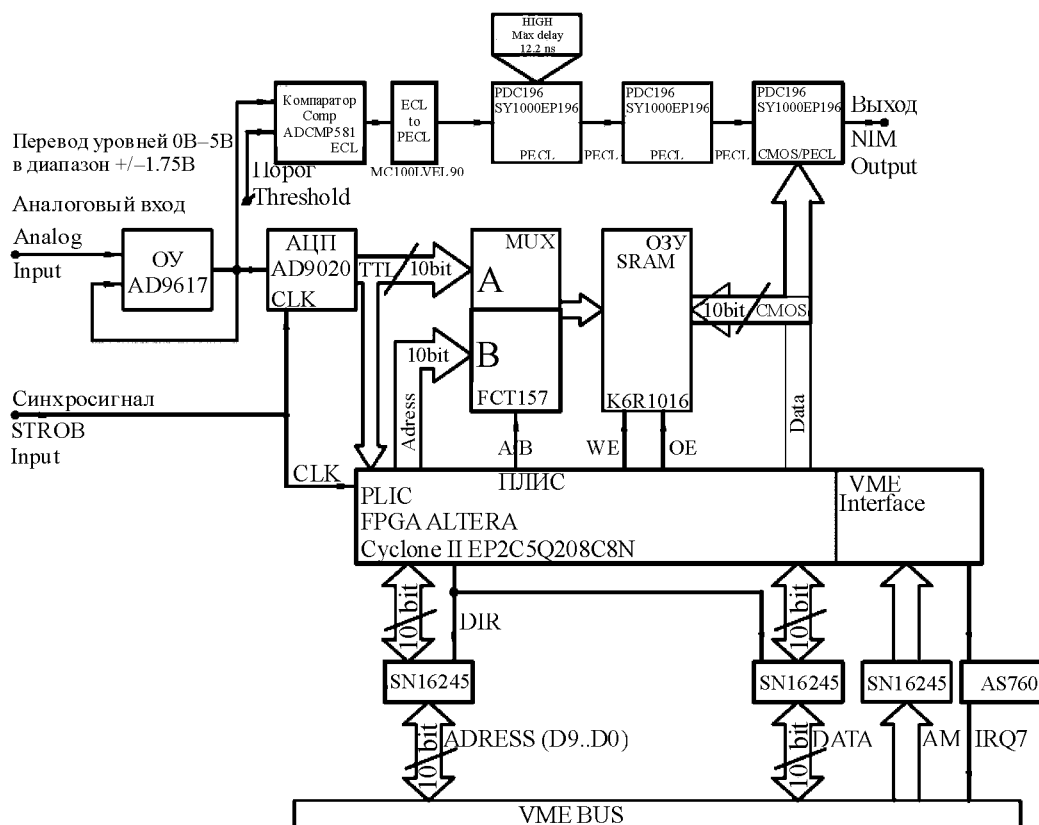


Рис. 2: Функциональная схема временной отметки с цифровой коррекцией DWDC.

паратора появится логический сигнал временной отметки.

С выхода ОУ AD9617 аналоговый сигнал поступает также на АЦП AD9020, где за 13 нс происходит преобразование амплитудного сигнала в цифровой код.

Аналоговый сигнал синхронизован с внешним тактовым сигналом STROB Input (в детекторе T0 это будет сигнал ускорителя *Clock* – момент пересечения встречных пучков частиц), в лаборатории, на стадии тестирования – это синхросигнал с лазера или генератора.

Всю скоростную основную цепь прохождения сигналов решено было собрать на отдельных интегральных микросхемах. Цифровой 10-битный код амплитуды с АЦП AD9020, пройдя скоростной мультиплексор, поступает на адресные входы памяти ОЗУ (SRAM), которая выдаёт корректирующий 10-битный код данных через 8 нс.

Исходя из параметров выбранных быстродействующих электронных компонентов, при идеальных условиях трассировки платы, предполагаемая точность привязки выходного сигнала составит ± 30 пс. Рассматривается возможность работы модуля DWDC

в динамическом диапазоне от 5 мВ до 5 В.

Необходимую логику управления режимами работы электрических схем DWDC и поддержание обмена информацией через VME интерфейс предлагается реализовать внутри одной программируемой логической интегральной схемы ПЛИС – FPGA Cyclone II EP2C5Q208C8N [4] производителя ALTERA.

Проектирование внутренней конфигурации ПЛИС. Внутри программируемой логической интегральной схемы должны содержаться следующие базовые элементы по функциональной части:

- буферные регистры (не менее трёх на 10 информационных бит) с возможностью их отключения при необходимости;
- пропускной логический элемент на 10 бит, необходимый для фильтрации электрических сигналов перед поступлением их на входы адреса внутренней памяти;
- достаточное количество свободных вентилях для организации полного VME интерфейса с возможностью работы по сигналу прерывания;
- необходимое количество вентилях для приёма внешних синхронизирующих и тактирующих сигналов, внутри следует предусмотреть внутренние линии задержки.

Согласно вышеизложенным требованиям были разработаны функциональные блоки внутренней структуры ПЛИС для связи с контроллером шины VME:

- **блок записи в память VME Slave, A32, D16;**
- **блок прерывателя VME и наполнения внутренних блоков памяти FIFO;**
- **блок управления внешним мультиплексором и памятью SRAM;**
- **внутренние регистры, доступные с VME;**
- **блок чтения из внутреннего FIFO.** VME Slave, A32, D64 MBLT. Скорость выгрузки данных не менее 30 МБайт/с.

Интерфейс шины VME:

- поддерживает тип адресации A32;
- поддерживает режимы передачи данных D16 и D64BLT;
- автоконфигурацию не поддерживает;
- имеет фиксированный базовый адрес, задаваемый переключателями;
- прерыватель поддерживает обработку прерываний циклами D16.

Контроллер шины VME работает в режиме Slave.

Внутренние интерфейсы:

- входной порт данных с АЦП А [9:0];
- вход тактовой частоты 40 МГц или одиночных импульсов;

- вход прерывания;
- выходной порт D[9:0];
- выходы управления мультиплексором DIR, A_VME[9:0];
- выходы управления внешней памятью RE, WE, OE.

Блок записи в память доступен с VME по Записи и Чтению. Тип адресации A32, режим передачи D16 (AM=0x). Общая схема включения ПЛИС представлена на рис. 3.

Базовый адрес модуля DWDC задаётся переключателями. При обращении в эту область ПЛИС переключает мультиплексор (сигнал DIR) на приём адреса с VME (шина A_VME[9:0]), переводит память в режим записи (сигналы RE, WE, OE) и устанавливает данные на входе памяти (шина D[9:0]). В пассивном режиме мультиплексор переключен в сторону приёма данных с АЦП, а память находится в режиме чтения.

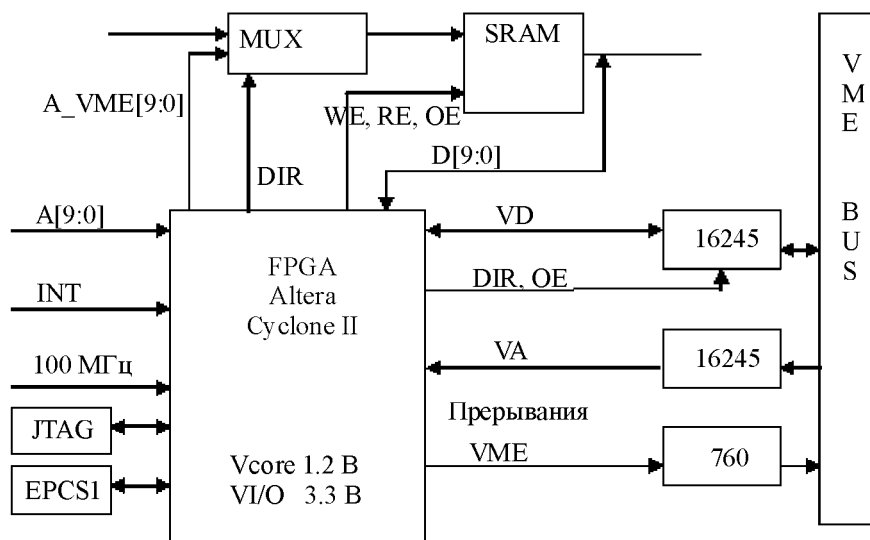


Рис. 3: Схема включения ПЛИС.

Процедура проведения амплитудно-временной коррекции в модуле DWDC. На первой стадии работы модуля DWDC осуществляется измерение зависимости задержки срабатывания внутреннего компаратора ADCMP581 относительно стартового сигнала от амплитуды реальных входных импульсов, т.е. зависимость $t(A)$, аналогичная представленным на рис. 4. С помощью специальных программ компьютера по полученным кодам амплитуд и кодам времени задержки строится реальная характеристика – зависимость времени срабатывания компаратора от величины амплитуды на входе при фиксированном пороге. Проводя численными методами интерполяцию и определяя необходимые добавочные коды времени задержки соответственно каждой амплитуде для

выравнивания задержки компаратора и приближения её к идеальной характеристике, на основе обработанных данных формируется файл, который записывается в ОЗУ. Файл содержит коды амплитуд и времени, соответствующие необходимой корректирующей задержке для выравнивания задержки срабатывания внутреннего компаратора и получения идеальной характеристики формирователя временной отметки с цифровой коррекцией DWDC.

В рабочем режиме входной аналоговый сигнал, пройдя интегрирующую цепочку и операционный усилитель AD9617, разветвляется и поступает на внутренний компаратор ADCMP581 и на АЦП AD9020.

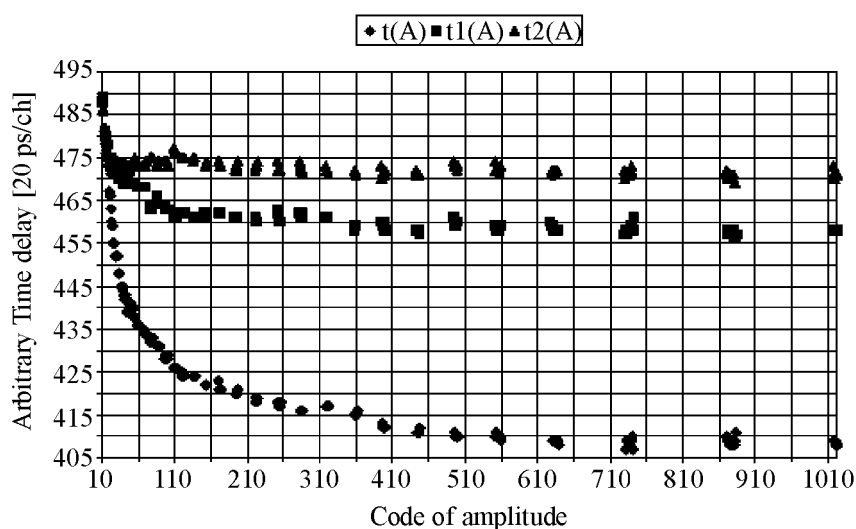


Рис. 4: Зависимость изменения задержки срабатывания формирователя от амплитуды входных импульсов, полученная при настройке от генератора (по оси x – код амплитуды, записанный с АЦП, по оси y – код времени задержки срабатывания формирователя) до и после корректировок.

Параллельно код с АЦП поступает на адресные входы памяти ОЗУ, корректирующий код с выхода ОЗУ поступает на управляющие входы линии задержки PDC196 – Programmable Delay Chip (SY100EP196), с помощью которой сигнал с компаратора задерживается на величину, необходимую для коррекции времени для сигнала с данной амплитудой. Получаем зависимость $t1(A)$ после первой проведённой коррекции. По рис. 4 видно, что одной итерации по корректировке оказалось недостаточно, поэтому процедура корректировки проводилась дважды.

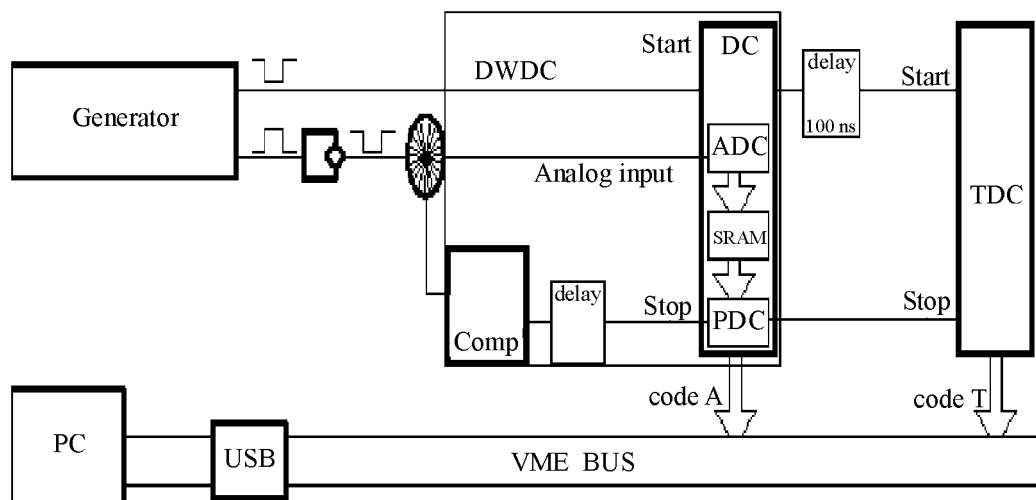


Рис. 5: Структурная схема тестирования формирователя.

Последовательность процедур при настройке, калибровке и работе модуля DWDC, представленного в виде функциональной схемы рис. 2, будет аналогична процедуре при настройке модуля в системе КАМАК. Принципиальное отличие состоит в том, что модули в стандарте VME являются компактными, универсальными изделиями, потребляют меньшую мощность, легко управляются от персонального компьютера.

Первый прототип формирователя временной отметки с цифровой коррекцией DWDC был смонтирован в стандарте КАМАК и прошёл электрическое тестирование в лаборатории. На рис. 5 представлена структурная схема тестирования формирователя.

Для настройки в качестве исследуемого аналогового и синхронизованного с ним сигнала использовались сигналы с генератора импульсов. Один – сигнал “Start” – через модуль DWDC проходил на TDC (временцифровой преобразователь) и являлся сигналом запуска TDC. Второй сигнал, имитирующий аналоговый сигнал с ФЭУ, через инвертор и аттенюатор – А (с помощью которого менялась амплитуда сигнала) поступал на формирователь Comp и вход Analog Input модуля. Выходной сигнал с Comp проходил на программируемую линию задержки – микросхему PDC. На управляющих входах PDC присутствовал код времени – так, пришедший с Comp сигнал задерживался при помощи PDC на записанное ранее в память время. Задержанный сигнал с микросхемы PDC поступал на TDC и являлся сигналом “Stop”.

В лабораторных условиях была проверена работа прототипа модуля DWDC в динамическом диапазоне входных амплитуд 1:1000 и изменение задержки формирователя

не превышало 40 пс. В разработанном устройстве был реализован метод амплитудно-временной коррекции on-line (коррекция проводилась в реальном времени). В настоящее время разработан модуль DWDC в стандарте VME для применения в реальном физическом эксперименте.

Работа выполнена при поддержке ФЦП “Научные и научно-педагогические кадры инновационной России” на 2009–2013 годы.

Л И Т Е Р А Т У Р А

- [1] M. Bondila, V. A. Grigoriev, F. F. Guber, et al., IEEE Trans. Nucl. Sci. **52**(5), 1705 (2005).
- [2] А. В. Веселовский, В. А. Григорьев, В. А. Каплин и др., ПТЭ № 2, 43 (2009).
- [3] А. И. Климов, К. Н. Козлов, Е. А. Мелешко и др., ЯФ **72**(2), 314 (2009).
- [4] Cyclone II Device Handbook, Volume 1. February 2007. Altera Corporation 101 Innovation Drive, San Jose, CA 95134 www.altera.com.

Поступила в редакцию 8 ноября 2010 г.